

INTERSIL 模拟 DC/DC 电源模块的应用

Intersil 公司电源模块可简化您的设计，主要体现在完全脱离自行设计的烦恼，加速产品推向市场的时间，所有电源模块引脚完全兼容，方便电源需求的改变进行器件的更换。

一、可实现电流共享的 10A DC/DC 降压电源模块的应用

ISL8200M 模块对输出电压可设定，设定来自外接反馈电阻 RSET (见图 1)。当 RSET 为 0 欧姆 (VOUT 引脚与 VOUT_SET 引脚短路)，由于模块内部有一个 $0.6V \pm 0.7\%$ 基准，因此，此状态输出电压为 $0.6V \pm 0.7\%$ 。输出电压的计算公式为： $VOUT = 0.6 \times (1 + RSET/ROS1)$ 。

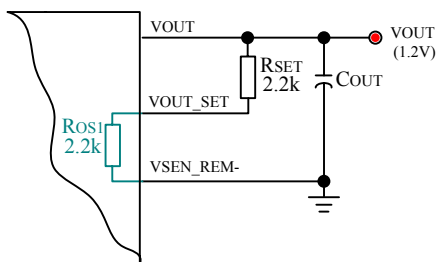


表 1. 电阻对应输出电压表

VOUT	0.6V	0.8V	1.0V	1.2V	1.5V	1.8V
RSET	0Ω	732Ω	1.47kΩ	2.2kΩ	3.32kΩ	4.42kΩ

VOUT	2.0V	2.5V	3.3V	5.0V	6.0V	
RSET	5.11kΩ	6.98kΩ	10kΩ	16.2kΩ	20kΩ	

图 1. 输出电压设定电路

为了确保设定输出电压，有一个最小输入电压的要求，当开关频率为 700kHz (模块默认的开关频率) 时，最小输入电压 $V_{IN_MIN} = (1/F_{sw}) \times VOUT = 1.428 \times VOUT$ 。开关频率是可设定的，设定范围在 700kHz 至 1.5MHz 之间。通过调节 FSYNC_IN 引脚 (内部对 PGND 有一固定电阻 59kΩ) 和 PGND1 引脚之间外接电阻 RFS-ext 的阻值，可在现有默认 700kHz 开关频率的基础上进行递增 (见图 2)。另外，FSYNC_IN 引脚还拥有同步开关频率操作的功能，将另一颗 ISL8200M 器件典型 50% 占空比的 CLKOUT 输出信号，接入本器件的 FSYNC_IN 引脚 (见图 3)，同步两颗器件的开关频率。频率同步将同步 CLKOUT 输出信号的首次边沿，以及通道 1 的 PWM 脉冲信号的下降沿。在 PLL 锁相之前，CLKOUT 引脚不起作用。其目的是同步两颗器件的开关频率，以此类推，可同步六颗器件，并联相接可实现 60A 的电流输出。

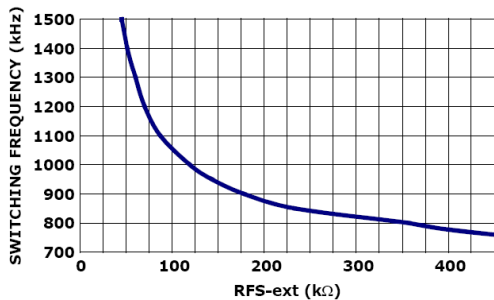


图 2. RFS-ext 与开关频率的关系

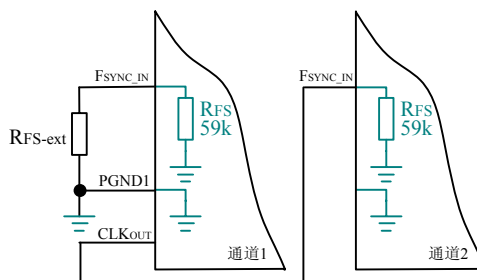


图 3. 开关频率设定和同步电路

单电源模块 ISL8200M 的应用

模拟输出电流 ISET 和 ISHARE 引脚短路连接 (见图 4)，一起对地接入 5k 电阻 (ISET 和 ISHARE 引脚需并联接入 10K 电阻)，以确保零共享误差。PVCC 电压输出引脚，给内部高、低端 MOSFET 提供驱动偏置电压，操作电压范围 3V~5.6V。VCC 电压输出引脚，给内部模拟电路提供电压，操作电压范围 2.97V~5.6V。在 3.3V 应用中，VCC、PVCC、VIN 短路相连。

EN 使能输入引脚超过 0.8V，器件进入

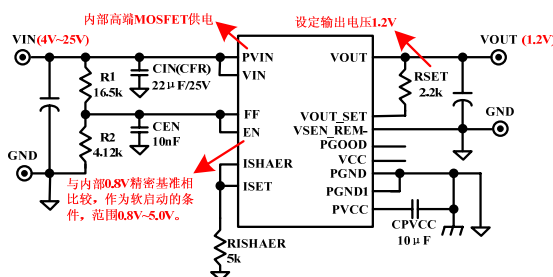


图 4. 单模块应用电路

软启动，软启动操作时间为 384 个时钟周期（见图 5），以确保所有输入供电（PVCC、VCC、VEN）均超过它们上电启动门限值，以及锁相环（PLL）锁相时间期满锁相。另外 EN 引脚也可作为漏极开路输出引脚，当模块过压、过流、过温和锁相环（PLL）锁相报错时，开启模块内部的 N 沟道 MOSFET，EN 引脚下拉为低电平（见图 5），关闭器件所有功能。

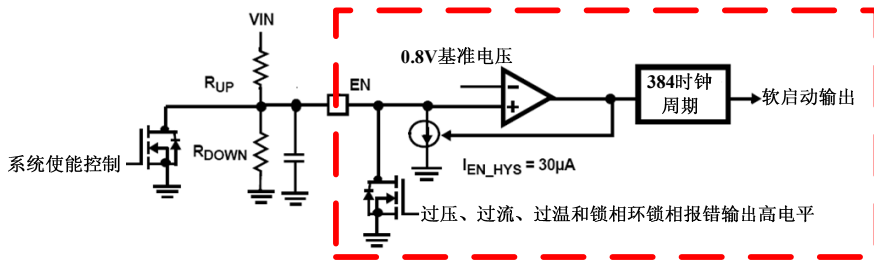


图 5. EN 引脚的内部结构

电压前馈 FF 模拟电压输入引脚，用于调节锯齿形振幅信号的产生，操作电压范围 0.7V~5.6V，上电启动门限值 0.7V。

电源模块工作状态良好指示 PGOOD 引脚，监控内部工作电压。在器件软启动期间、没有使能、输出电压低于实际输出电压的 13%、过压、过流、过温和锁相环（PLL）锁相报错，PGOOD 引脚均呈现低电平。在正常工作状态下，PGOOD 引脚呈现高电平。

当器件的结点温度超过+150°C时，器件EN引脚将被拉为低电平。器件启动，过流保护即被开启，电流共享输出引脚ISHARE，通过外接电阻RISHARE产生的电压VISHARE（见图4），与器件内部精密1.2V门限相比较，过流极限是108μA，监控过流保护的时间条件是等待7个时钟周期。

多电源模块 ISL8200M 电流共享的应用

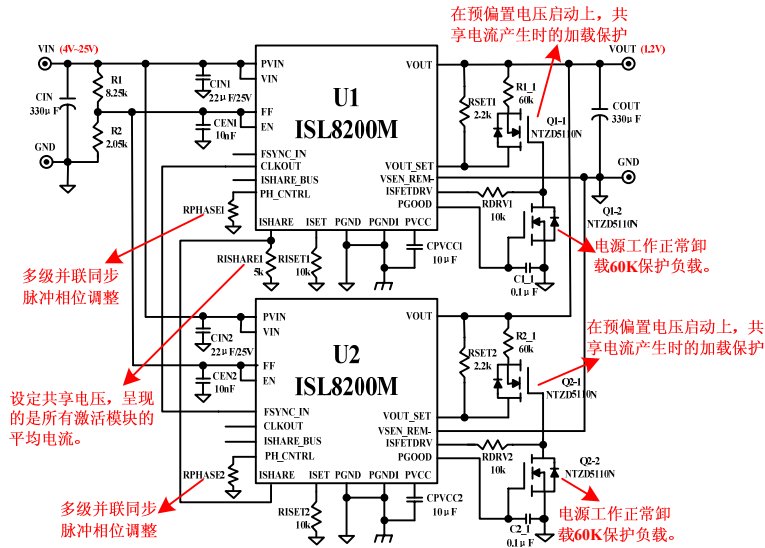


图 6. 两级并联实现 1.2V、20A 的应用电路

以两个模块并联为例（见图6），可实现输出电流增加一倍，达到20A。以此为契机，可实现六个模块的并联，使输出电流增加六倍，最高达60A。关键注意三方面：

- 1、确保所有模块开关频率保持同步，即U1模块的频率输出CLKOUT与并联U2模块的同步输入FSYNC_IN相连接（见图6）。当并联模块增多时，为了确保同步，消除相移。每个模块都有PH_CNTRL引脚，对地均有一个调节电阻RPHASE（见图6），与器件内部的上拉至VCC的电阻RPH(10kΩ)进行分压处理，依赖PH_CNTRL引脚的电压值，调节CLKOUT的输出相移。
- 2、通过外接电阻RISHARE进行共享电流总线的电压设定，首先把所有模块的ISHARE相连，

然后设定电阻 $R_{ISHARE} = R_{ISET} / N_{CTRL}$ 。以图6为例，电阻 $R_{ISHARE1} = 10k\Omega / 2 = 5k\Omega$ 。

3、在预偏置电压启动上的加载保护，以图6为例，首先ISFETDRV引脚输出高电平、PGOOD引脚输出低电平。关闭Q1_2，开启Q1_1加载60k电阻，对模块起保护作用。当器件进入正常工作状态时，PGOOD引脚输出高电平，开启Q1_2，关闭Q1_1卸载60k电阻。其它并联模块操作类同。

电路板布线须知

1. 模块PGND1引脚和PGND引脚短路接地，需在电路板上给一个地层，多点大面积相连。
2. 紧挨模块PVIN引脚和PGND引脚，以及PVCC引脚和PGND1引脚，放置高频陶瓷电容 $10\mu F$ ，以减少高频噪声对模块的干扰。并在紧挨模块VOUT引脚和PGND引脚，放置同样的高频电容，以减小输出纹波噪声。
3. 大面积覆铜电源通道PVIN、PGND、VOUT引脚（见图7），减小导电损耗和加强散热。

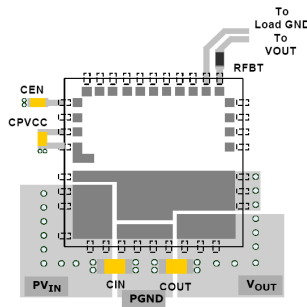


图7. 推荐电路板布线布局

厂家参考文献

数据手册：<http://www.intersil.com/data/fn/fn6727.pdf>

评估板手册：<http://www.intersil.com/data/an/an1544.pdf>

二、高集成和高效4A、6A和10A DC/DC 降压电源模块的应用

ISL8204M、ISL8206M和ISL8201M电源模块最大输出电流分别是4A、6A和10A，最大输入电压是20V，均为15mmx15mm QFN封装，引脚全兼容器件。集成高性能PWM控制器（固定开关频率600kHz）、功率MOSFET、一个电感和所有被动元件，效率高至95%。

模块内部功能分析

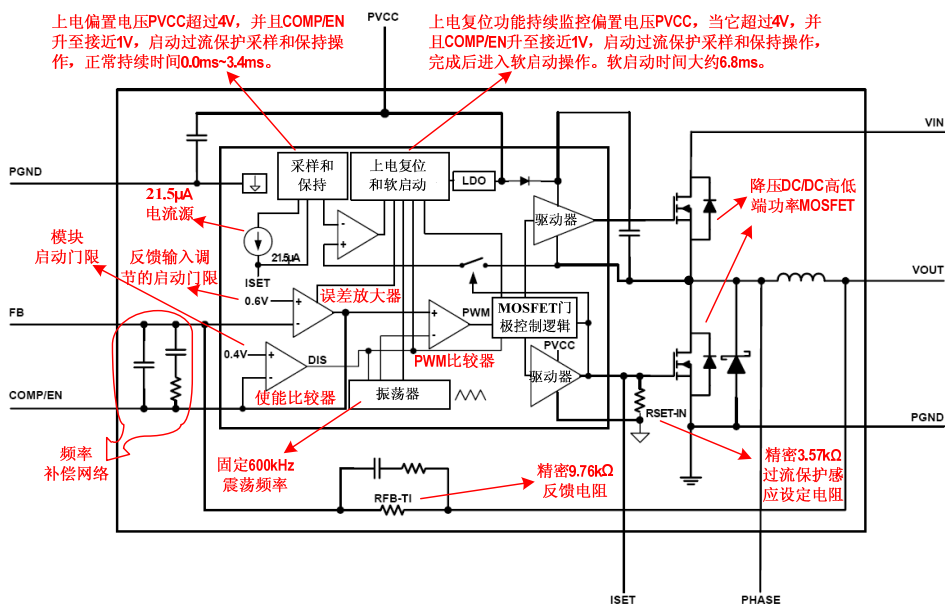


图8. 内部功能注释图

ISL8204M、ISL8206M和ISL8201M的应用

依据图8内部功能的结构，绘制了典型应用电路图9。输出电压大小，通过反馈输入引脚(FB)对地所接电阻 R_{FB} 的阻值大小进行调节。计算公式为 $V_{OUT} = 0.6 \times (1 + 9.76k/R_{FB})$ ，其中0.6V来自模块内部的 $0.6V \pm 1.5\%$ 的基准电压源（见图8），9.76k来自模块内部的精密反馈电阻 R_{FB-TI} （见图8），外接电阻 R_{FB} 对应输出电压见表2。

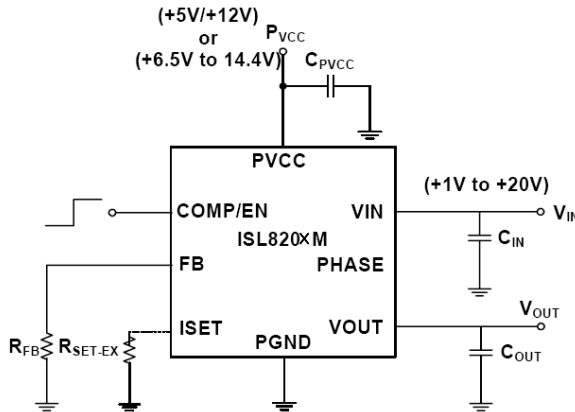


表2. 电阻对应输出电压表

V_{OUT}	0.6V	1.05V	1.2V	1.5V
R_{FB}	open	13k	9.76k	6.49k
V_{OUT}	1.8V	2.5V	3.3V	5V
R_{FB}	4.87k	3.09k	2.16k	1.33k

图9. 典型应用电路

过流保护的峰值电流计算公式为 $I_{PEAK} = (0.6 \times I_{SET} \times R_{SET}) / r_{DS(ON)}$ 。其中：

I_{SET} 是模块内部 I_{SET} 电流源（典型值 $21.5\mu A$ ）

R_{SET} 是模块内部低端MOSFET的门极与地之间电阻 $R_{SET} = (R_{SET-EX} \times R_{SET-IN}) / (R_{SET-EX} + R_{SET-IN})$

$r_{DS(ON)}$ 是模块内部低端MOSFET的漏源极电阻典型值 $6.1m\Omega$ ($V_{PVCC} = V_{GS} = 10V$, $I_{DS} = 30A$)

$r_{DS(ON)}$ 是模块内部低端MOSFET的漏源极电阻典型值 $9.0m\Omega$ ($V_{PVCC} = V_{GS} = 4.5V$, $I_{DS} = 30A$)

电路板布线须知

为了使模块稳定的运行、较低的损耗和良好的热性能，必须对电路板进行合理的布局（见图10）。需要注意的是：

2. 模块11引脚和1至4引脚连接到地，需在电路板上给一个地层，多点大面积相连。
2. 紧挨模块VIN(1)引脚和PGND(11)引脚，以及PVCC(2)引脚和PGND(1~4)引脚，放置高频陶瓷电容 $10\mu F$ ，以减少高频噪声对模块的干扰。并在紧挨模块VOUT(12)引脚和PGND(11)引脚，放置同样的高频电容，以减小输出纹波噪声。
3. 大面积覆铜电源通道VIN、PGND、VOUT引脚（见图10），减小导电损耗和加强散热。

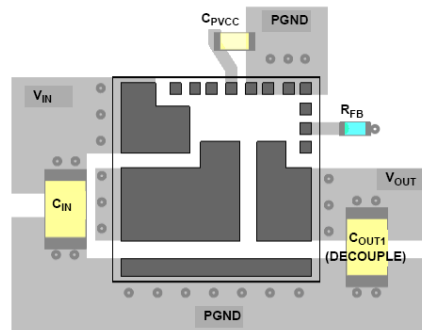


图10. 推荐电路板布线布局

厂家参考文献

数据手册：<http://www.intersil.com/data/fn/fn6657.pdf>；<http://www.intersil.com/data/fn/fn6999.pdf>

评估板手册：<http://www.intersil.com/data/an/an1386.pdf>